

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年1月27日(27.01.2005)

PCT

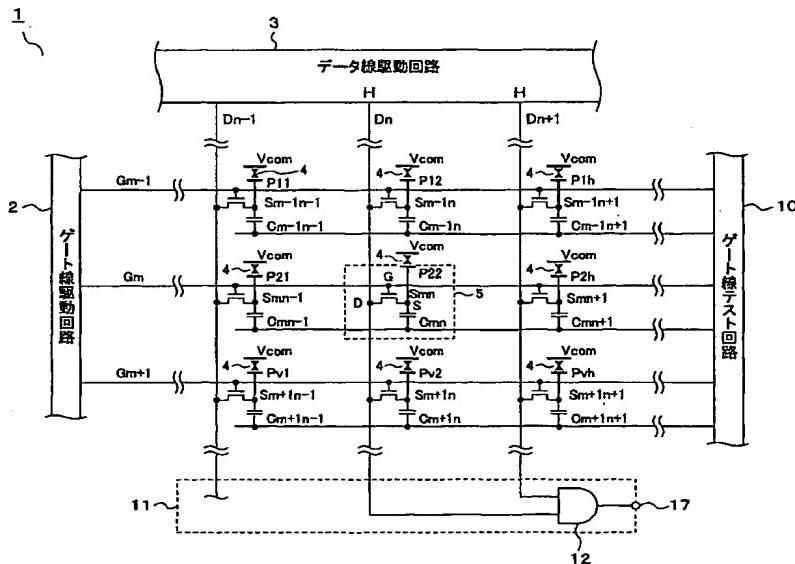
(10)国際公開番号
WO 2005/008318 A1

- (51)国際特許分類⁷: G02F 1/13, 1/1368, G01R 31/00
- (21)国際出願番号: PCT/JP2004/010552
- (22)国際出願日: 2004年7月16日(16.07.2004)
- (25)国際出願の言語: 日本語
- (26)国際公開の言語: 日本語
- (30)優先権データ:
特願2003-277603 2003年7月22日(22.07.2003) JP
- (71)出願人(米国を除く全ての指定国について): ソニー株式会社(SONY CORPORATION)[JP/JP]; 〒1410001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72)発明者; および
- (75)発明者/出願人(米国についてのみ): 安藤直樹(ANDO, Naoki)[JP/JP].
- (74)代理人: 中村友之(NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門1丁目2番3号虎ノ門第一ビル9階三好内外国特許事務所内 Tokyo (JP).
- (81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84)指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG,

[統葉有]

(54)Title: INSPECTION METHOD, SEMICONDUCTOR DEVICE, AND DISPLAY DEVICE

(54)発明の名称: 検査方法、半導体装置、及び表示装置



2...GATE LINE DRIVE CIRCUIT
3...DATA LINE DRIVE CIRCUIT
10...GATE LINE TEST CIRCUIT

(57)Abstract: It is possible to effectively inspect a line defect of a data line and a gate line in a liquid crystal display device. A logic circuit for inspection is arranged according to the wire layout structure of a semiconductor substrate of the liquid crystal display device. The input of this logic circuit is connected to an end of the data line. When performing inspection, an inspection drive signal corresponding to a predetermined logic value is applied to the data line and the output of the logic circuit obtained here is used to judge the defect of the data line. This means that the defect of the data line can be judged by the logic value outputted from the logic circuit, i.e., the state of the binary value. Moreover, such a structure is applied to the gate line.

[統葉有]

WO 2005/008318 A1